

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Patent Number: JP2001210709
Publication date: 2001-08-03
Inventor(s): MIYOSHI KOSUKE
Applicant(s): NEC CORP
Requested Patent: ☐ JP2001210709
Application: JP20000018401
Priority Number(s):
IPC Classification: H01L21/76
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent concentration of an electric field at a corner, thinning of a gate oxide film and deterioration of a transistor characteristics by shaping the corner at the upper end of a trench into a round form, and to restrain a junction leak current to the low level and prevent generation of crystal defects during the manufacturing steps by restraining the stress caused by oxidation of the inner wall of the trench.

SOLUTION: The manufacturing method of a semiconductor device, wherein trenches are formed for isolation of elements when a semiconductor device is formed, comprises a step for forming a first oxide film on the inner wall of the trench at 1000 deg.C or over after etching the trenches, a step for removing this first oxide film by wet etching, and a step for forming a second oxide film by oxidizing the inner wall of the trench again under 1000 deg.C.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-210709
(P2001-210709A)

(43)公開日 平成13年 8 月 3 日(2001. 8. 3)

(51)Int.Cl.⁷
H 0 1 L 21/76

識別記号

F I
H 0 1 L 21/76

テーマコード(参考)
N 5 F 0 3 2

審査請求 有 請求項の数 6 O L (全 7 頁)

(21)出願番号 特願2000-18401(P2000-18401)

(22)出願日 平成12年 1 月27日(2000. 1. 27)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 三好 康介

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外 2 名)

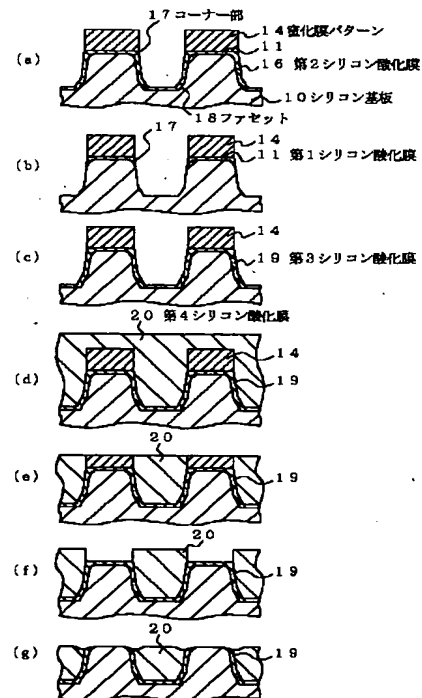
Fターム(参考) 5F032 AA36 AA37 AA44 AA45 DA02
DA03 DA04 DA09 DA23 DA24
DA33 DA53

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 トレンチ上端のコーナー部の形状を丸め形状にすることで、コーナー部での電界集中やゲート酸化膜の薄膜化を防止し、トランジスタ特性の劣化を防止し、またトレンチ内壁の酸化処理によるストレスを抑制することで、製造工程中に結晶欠陥等を発生せず、接合リーク電流を低く抑えられる。

【解決手段】 半導体装置を形成する最に、素子分離のためのトレンチ形成を行う半導体装置の製造方法において、前記トレンチのエッチング後に、このトレンチの内壁を1000℃以上の温度で第1の酸化膜を形成する工程と、この第1の酸化膜をウェットエッチングにより除去する工程と、前記トレンチの内壁を改めて1000℃未満の温度で酸化し第2の酸化膜を形成する工程とを設ける。



【特許請求の範囲】

【請求項1】 半導体装置を形成する際に、素子分離のためのトレンチ形成を行う半導体装置の製造方法において、前記トレンチのエッチング後に、このトレンチの内壁を1000℃以上の温度で第1の酸化膜を形成する工程と、この第1の酸化膜をウェットエッチングにより除去する工程と、前記トレンチの内壁を改めて1000℃未満の温度で酸化し第2の酸化膜を形成する工程とを設けたことを特徴とする半導体装置の製造方法。

【請求項2】 半導体装置を形成する際に、素子分離のためのトレンチ形成を行う半導体装置の製造方法において、前記トレンチのエッチング後に、このトレンチの内壁を1000℃以上の温度で第1の酸化膜を形成する工程と、前記第1の酸化膜をウェットエッチングにより除去する工程と、前記トレンチの内壁に1000℃未満の温度でCVD法により第2の酸化膜を形成する工程とを設けたことを特徴とする半導体装置の製造方法。

【請求項3】 第1の酸化膜および第2の酸化膜がシリコン酸化膜である請求項1または2記載の半導体装置の製造方法。

【請求項4】 トレンチ形成は、シリコン基板上に第1のシリコン酸化膜およびシリコン窒化膜を形成し、次にこのシリコン窒化膜上にフォトリソを塗布し、リソグラフィー技術を用いて素子分離用フォトリソパターンを形成し、このフォトリソパターンをマスクとして、ドライエッチングにより、前記シリコン窒化膜および前記第1のシリコン酸化膜を順次エッチング除去し、シリコン窒化膜パターンを形成し、このシリコン窒化膜パターンをマスクとして、ドライエッチングにより、前記シリコン基板を所望の深さまでエッチング除去してトレンチを形成する請求項1または2記載の半導体装置の製造方法。

【請求項5】 トレンチが形成された後、第2のシリコン酸化膜を第1の酸化膜としてトレンチ内壁を形成し、これを除去した後に第3のシリコン酸化膜を第2の酸化膜として形成した後、第4のシリコン酸化膜をトレンチ埋設酸化膜として形成し、シリコン窒化膜上の第4のシリコン酸化膜を研磨除去し、そのシリコン窒化膜をエッチング除去し、第1のシリコン酸化膜とシリコン基板から突出した第4のシリコン酸化膜をエッチング除去する請求項1または2記載の半導体装置の製造方法。

【請求項6】 第4のシリコン酸化膜は、CVD成膜によりまたはシリカ塗布により埋設される請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に素子分離形成法の1つであるSTI (Shallow Trench Isolation) 構造を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体装置の高集積化のために素子の微細化が進む中で、0.25μm以下レベルの素子分離方法は従来使われていたLOCOS (Local Oxidation of Silicon) 法からSTI法へと移行している。LOCOS法では、バースピークと呼ばれる素子領域への素子分離酸化膜の食い込みが生じるため微細化が困難であるが、STI法では矩形のトレンチに絶縁膜を埋設するという方法であるため有効素子分離領域が広がるという利点を有する。

【0003】 図3、図4は従来の代表的なSTI法を用いた素子分離構造の形成方法を説明する断面図である。まず、図3(a)に示すように、シリコン基板10上にシリコン酸化膜11およびシリコン窒化膜12を形成する。次に図3(b)に示すように、そのシリコン窒化膜12上にフォトリソを塗布し、公知のリソグラフィー技術を用いて、素子分離用フォトリソパターン13を形成する。さらに図3(c)に示すように、そのフォトリソパターン13をマスクとして、公知のドライエッチング技術によりシリコン窒化膜12およびシリコン酸化膜11を順次エッチング除去し、シリコン窒化膜パターン14を形成する。続いて図3(d)に示すように、そのシリコン窒化膜パターン14をマスクとして、公知のドライエッチング技術により、シリコン基板10を所望の深さまでエッチング除去し、トレンチ15を形成する。

【0004】 そして、図4(a)に示すように、トレンチ15の内壁にシリコン酸化膜16bを熱酸化により形成する。次に、図4(b)に示すように、トレンチ埋設のための酸化膜23をCVD法により形成する。次に、図4(c)に示すように、公知のCMP技術を用いて、シリコン窒化膜12をストッパーとして埋設酸化膜23を研磨除去する。続いて、図4(d)に示すように、シリコン窒化膜12をウェットエッチングにより除去する。その後、図4(e)に示すように、シリコン酸化膜11およびシリコン基板上から突出した埋設酸化膜23をウェットエッチングにより除去し、STI構造を完成させる。

【0005】 このSTI構造の形成方法では、トレンチコーナー部を丸めて電界集中によるトランジスタ特性の劣化やゲート酸化膜の局所的薄膜化を避けることが重要な要素の一つとなっている。この目的のために、通常トレンチエッチング後に、シリコンが粘弾性を示す1000℃以上の高温で熱酸化処理を行ない、トレンチコーナーを丸めるといった製造方法が用いられている。

【0006】 しかし、この製造方法では、図5(a)に示すように、高温の熱酸化を用いるため、トレンチの底部にファセット24が形成されてしまうため、トレンチ底部においては高ストレス状態が発生し、その後の製造工程(特にイオン注入、熱処理および酸化処理)におい

て、結晶欠陥が発生し、接合リーク不良等を引き起こしてしまう。一方、1000℃未満の温度で酸化処理を行なうと、図5(b)に示すように、トレンチ底部でのファセット形成は抑制できるが、トレンチ上端のコーナー部においてオーバーハング形状25が発生してしまい、結局電界集中やゲート酸化膜の薄膜化といった上述の問題が発生してしまう。

【0007】そこで、例えば、1999 シンポジウム オン ブイエルエスアイ テクノロジー (Symposium on VLSI Technology) p 161-162, "Enabling Shallow Trench Isolation for 0.1 um Technologies and Beyond" には、トレンチ埋設酸化膜をCMP研磨した後に高温の酸化処理を行なう方法が開示されている。この技術は、トレンチエッチング後のトレンチ内壁酸化をトレンチ底部にファセットが形成されない950℃の酸化処理で行ない、トレンチ内部を絶縁膜で埋設し、CMP処理を行なった後に、1100℃の高温で再度酸化処理を行なうことでトレンチ上端のコーナー部を丸めるというものである。

【0008】

【発明が解決しようとする課題】しかし、上述した技術は、トレンチ内部を絶縁膜で埋設した後に高温の熱処理（酸化処理）を行なうため、埋設された絶縁膜の過度の収縮あるいは膨張が生じる場合があり、素子分離近傍のストレスを増大させ、やはり、その後の製造工程において、結晶欠陥を発生させ、接合リーク不良等を引き起こしてしまうという問題を有している。

【0009】この問題を解決するためには、トレンチ内部に絶縁膜を埋設する前に、「トレンチ上端コーナー部の丸め形状を実現すること」と「トレンチ底部におけるストレスを低減すること」が必要である。

【0010】本発明の目的は、トレンチ上端のコーナー部の形状を丸め形状にすることで、コーナー部での電界集中やゲート酸化膜の薄膜化を防止し、トランジスタ特性の劣化が生じないDTI構造の形成方法を提供すると同時に、トレンチ内壁の酸化処理によるストレスを抑制し、製造工程中に結晶欠陥等が発生せず、接合リーク電流が低く抑えられたSTI構造の形成方法を提供することにある。

【0011】

【課題を解決するための手段】本発明の構成は、半導体装置を形成する際に、素子分離のためのトレンチ形成を行う半導体装置の製造方法において、前記トレンチのエッチング後に、このトレンチの内壁を1000℃以上の温度で第1の酸化膜を形成する工程と、この第1の酸化膜をウェットエッチングにより除去する工程と、前記トレンチの内壁を改めて1000℃未満の温度で酸化し第2の酸化膜を形成する工程とを設けたことを特徴とする。

る。

【0012】本発明の他の構成は、半導体装置を形成する際に、素子分離のためのトレンチ形成を行う半導体装置の製造方法において、前記トレンチのエッチング後に、このトレンチの内壁を1000℃以上の温度で第1の酸化膜を形成する工程と、前記第1の酸化膜をウェットエッチングにより除去する工程と、前記トレンチの内壁に1000℃未満の温度でCVD法により第2の酸化膜を形成する工程とを設けたことを特徴とする。

【0013】本発明において、トレンチ形成は、シリコン基板上に第1のシリコン酸化膜およびシリコン窒化膜を形成し、次にこのシリコン窒化膜上にフォトレジストを塗布し、リソグラフィ技術を用いて素子分離用フォトレジストパターンを形成し、このフォトレジストパターンをマスクとして、ドライエッチングにより、前記シリコン窒化膜および前記第1のシリコン酸化膜を順次エッチング除去し、シリコン窒化膜パターンを形成し、このシリコン窒化膜パターンをマスクとして、ドライエッチングにより、前記シリコン基板を所望の深さまでエッチング除去して形成される。

【0014】また、本発明において、トレンチを形成した後、第2のシリコン酸化膜を第1の酸化膜としてトレンチ内壁を形成し、これを除去した後に第3のシリコン酸化膜を第2の酸化膜として形成した後、第4のシリコン酸化膜をトレンチ埋設酸化膜として形成し、シリコン窒化膜上の第4のシリコン酸化膜を研磨除去し、そのシリコン窒化膜をエッチング除去し、第1のシリコン酸化膜とシリコン基板から突出した第4のシリコン酸化膜をエッチング除去し、STI構造ができる。

【0015】本発明の構成によれば、「高温熱酸化処理+酸化膜エッチング+低温酸化膜形成」という製造工程は、トレンチコーナー部の角を丸める目的で行なう高温熱酸化（シリコンの粘性が生ずる1000℃以上の温度で行なう）によって生じるトレンチ底部の高ストレス状態を、続いて行なう酸化膜エッチングおよび低温酸化膜形成で緩和するという役目を果たす。

【0016】従って、「トレンチコーナー部の丸め」と「トレンチ底部のストレス緩和」を両立することで、トレンチコーナー部の電界集中やトレンチ底部ストレス起因の結晶欠陥発生によるデバイス特性劣化を抑制できるという効果が得られる。

【0017】

【発明の実施の形態】図1は本発明による半導体装置の製造方法の第1の実施形態の工程断面図を示している。素子分離のためのトレンチ形成方法において、本発明に従って、トレンチエッチング後にトレンチの内壁を1000℃以上の温度で第1の酸化膜を形成する工程と、この第1の酸化膜をウェットエッチングにより除去する工程と、そのトレンチの内壁を改めて1000℃未満の温度で酸化し第2の酸化膜を形成する工程とを設けてい

る。

【0018】本実施形態において、STI構造を形成するための前半の工程は、従来例の図3(a)～(d)と同様である。すなわち、シリコン基板10上に第1のシリコン酸化膜11およびシリコン窒化膜12を形成し、次に、このシリコン窒化膜12上にフォトレジストを塗布し、公知のリソグラフィ技術を用いて、素子分離用フォトレジストパターン13を形成する。さらに、フォトレジストパターン13をマスクとして、公知のドライエッチング技術により、シリコン窒化膜12および第1のシリコン酸化膜11を順次エッチング除去し、シリコン窒化膜パターン14を形成する。続いて、シリコン窒化膜パターン14をマスクとして、公知のドライエッチング技術により、シリコン基板10を所望の深さまでエッチング除去し、トレンチ15を形成する。ここまでの製造方法は、図3と同じである。このトレンチは、例えば約300nmの深さエッチングする。

【0019】そして本実施形態に従って、図1(a)に示すように、トレンチ15の内壁に第2のシリコン酸化膜(第1の酸化膜)16を熱酸化により形成する。このときの酸化処理は、トレンチ上端のコーナー部(以降、トレンチコーナー)17を丸めるために、少なくともシリコンが粘性を示す1000℃以上の温度で行ない、望ましくは1100℃程度の温度で行なう。本実施形態では20～50nm程度の酸化膜厚に設定する。この時、トレンチ底部には高温の酸化に特有なファセット18が酸化膜の形成と同時進行で形成されるため、トレンチ底部(特にファセット形成部)ではシリコン酸化膜とシリコン基板の熱膨張係数の差によるストレスが強くなる。か

【0020】そこで、図1(b)に示すように、その第2のシリコン酸化膜16を公知のウェットエッチングにより除去すれば、トレンチ底部のストレスを緩和することができる。続けて、図1(c)に示すように、トレンチ15の内壁に第3のシリコン酸化膜(第2の酸化膜)19を熱酸化により形成する。この時の酸化処理は、第2のシリコン酸化膜16の処理より低温である1000℃未満の温度で行ない、望ましくは900℃程度の温度で行なう。本実施形態では20～50nm程度の酸化膜厚に設定する。この場合、ファセット形成といった酸化膜—シリコン界面の形状変化がほとんど無い状態での酸化であるため、トレンチ底部におけるストレスは軽減される。

【0021】以上の工程を経ることで、トレンチコーナーの丸め形状とトレンチ底部の低ストレス化が計られる。さらに、図1(d)に示すように、トレンチ埋設のための第4のシリコン酸化膜20をCVD法により形成する。例えば、HDP(High Density Plasma)—CVD法により、500nm程度のCVD酸化膜を形成する。HDP—CVD酸化膜は、埋設性

が良好な半面、シリコン基板に対する成膜中のプラズマダメージや汚染等が懸念される。前述の第3の酸化膜19はそれらからトレンチ内壁を保護することを目的としている。

【0022】次に、図1(e)に示すように、公知のCMP技術を用いて、シリコン窒化膜12をストッパーとして第4の酸化膜20を研磨除去する。続いて、図1(f)に示すように、シリコン窒化膜をウェットエッチングにより除去する。その後、図1(g)に示すように、第1のシリコン酸化膜11およびシリコン基板上から突出した第4の酸化膜20をウェットエッチングにより除去し、STI構造を完成させる。

【0023】なお、本実施形態の構成において、第4のシリコン酸化膜20はHDP—CVD膜に限らず、減圧CVD、常圧CVD法等のCVD成膜に加えてシリカ塗布による埋設も可能である。

【0024】図1の実施形態では、トレンチ内壁酸化膜をウェットエッチングにより除去した後に、改めて低温の熱酸化により内壁酸化膜を形成したが、内壁酸化膜をCVD法により形成することもできる。その構成を図2により説明する。

【0025】図2は本発明の第2の実施形態の半導体装置の製造方法の工程断面図を示している。素子分離のためのトレンチ形成方法に対して、本発明に従って、トレンチエッチング後にトレンチの内壁を1000℃以上の温度で第1の酸化膜を形成する工程と、この第1の酸化膜をウェットエッチングにより除去する工程と、前記トレンチの内壁に1000℃未満の温度でCVD法により第2の酸化膜を形成する工程を設けている。

【0026】最初の工程は、従来例、図1と同様で、シリコン基板10上に第1のシリコン酸化膜11およびシリコン窒化膜12を形成する。次にこのシリコン窒化膜12上にフォトレジストを塗布し、公知のリソグラフィ技術を用いて、素子分離用フォトレジストパターン13を形成する。さらに、このフォトレジストパターン13をマスクとして、公知のドライエッチング技術により、シリコン窒化膜12および第1のシリコン酸化膜11を順次エッチング除去し、シリコン窒化膜パターン14を形成する。続いて、シリコン窒化膜パターン14をマスクとして、公知のドライエッチング技術によりシリコン基板10を所望の深さまでエッチング除去し、トレンチ15を形成する。

【0027】そして本発明に従って、図1と同様に、トレンチ15の内壁に第2のシリコン酸化膜16を熱酸化により形成する。このときの酸化処理は、トレンチ上端のコーナー部17を丸めるために、少なくともシリコンが粘性を示す1000℃以上の温度で行ない、望ましくは1100℃程度の温度で行なう。この時、トレンチ底部には高温の酸化に特有なファセット18が酸化膜の形成と同時進行で形成されるため、トレンチ底部(特にフ

ァセット形成部)ではシリコン酸化膜とシリコン基板の熱膨張係数の差によるストレスが強くなってしまふ。ここで、図2(a)に示すように、第2のシリコン酸化膜16を公知のウェットエッチングにより除去され、トレンチ底部のストレスを緩和することができる。

【0028】本実施形態においては、続けて、図2(b)に示すように、トレンチ15の内壁に第3のシリコン酸化膜22を公知のCVD法により形成する。この時のCVD成膜処理は、1000℃未満の温度で行ない、例えば、800℃程度の温度で成膜するHTO(High Temperature Oxide)膜を20～50nmの膜厚で形成する。以上の工程を経ることで、トレンチコーナーの丸め形状とトレンチ底部の低ストレス化が計れる。さらに、図2(c)に示すように、トレンチ埋設のための第4の酸化膜20をCVD法により形成する。例えば、HDP(High Density Plasma)-CVD法により、500nm程度のCVD酸化膜を形成する。HDP-CVD酸化膜は、埋設性が良好な半面、シリコン基板に対する成膜中のプラズマダメージや汚染等が懸念される。前述の第3の酸化膜22はそれらからトレンチ内壁を保護することを目的としている。

【0029】次に、図2(d)に示すように、公知のCMP技術を用いて、シリコン窒化膜12をストッパーとして第4の酸化膜20を研磨除去する。続いて、図2(e)に示すように、シリコン窒化膜12をウェットエッチングにより除去する。その後、図2(f)に示すように、第1のシリコン酸化膜11およびシリコン基板上突き出た第4の酸化膜20をウェットエッチングにより除去し、STI構造を完成させる。従って、本発明の第1の実施形態で述べたようなデバイス特性改善効果がもたらされる。

【0030】本実施形態において、第3の酸化膜22はHTO膜に限らず、減圧CVDや常圧CVD法による酸化膜としてもよい。さらには、第4の酸化膜20はHDP-CVD膜に限らず、減圧CVD、常圧CVD法等のCVD成膜に加えてシリカ塗布による埋設も可能であ

る。

【0031】

【発明の効果】以上説明したように、本発明の構成をとることにより、「高温内壁酸化によるトレンチ上端コーナーの丸め」と「トレンチ底部におけるストレス緩和」が同時に達成されるため、トレンチ上端コーナー部での形状起因による、トランジスタのハンプ現象、逆狭幅効果及びゲート酸化膜劣化などのデバイス特性劣化を防ぐとともに、トレンチ底部のストレス起因で発生する結晶欠陥による接合リークをも抑制できるという効果がもたらされる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のSTI構造を形成するための工程断面図である。

【図2】本発明の第2の実施形態のSTI構造を形成するための工程断面図である。

【図3】従来例のSTI構造を形成するための工程断面図である。

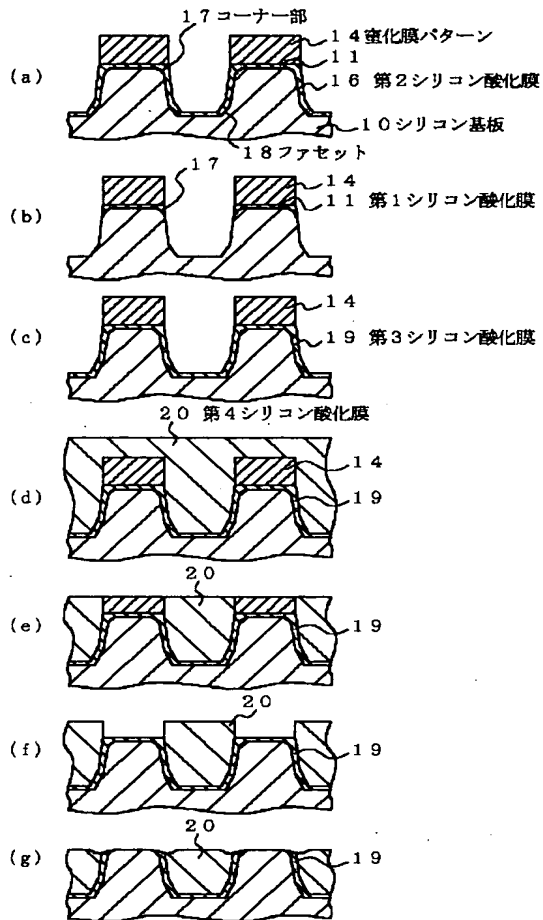
【図4】図3に続くSTI構造を形成するための工程断面図である。

【図5】従来例のSTI構造の問題点を説明する断面図である。

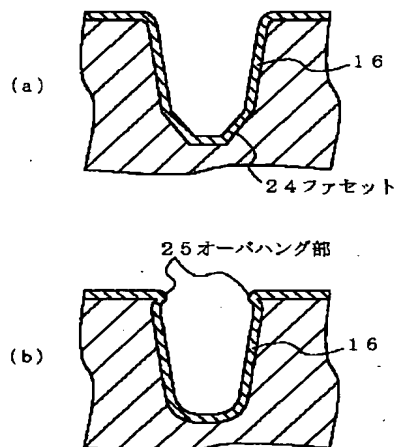
【符号の説明】

- 10 シリコン基板
- 11 第1のシリコン酸化膜
- 12 シリコン窒化膜
- 13 素子分離用フォトリソパターン
- 14 シリコン窒化膜パターン
- 15 トレンチ
- 16 第2のシリコン酸化膜
- 17 コーナー部
- 18, 24 ファセット
- 19, 22 第3のシリコン酸化膜
- 20 第4のシリコン酸化膜
- 23 埋設酸化膜
- 25 オーバーハング形状

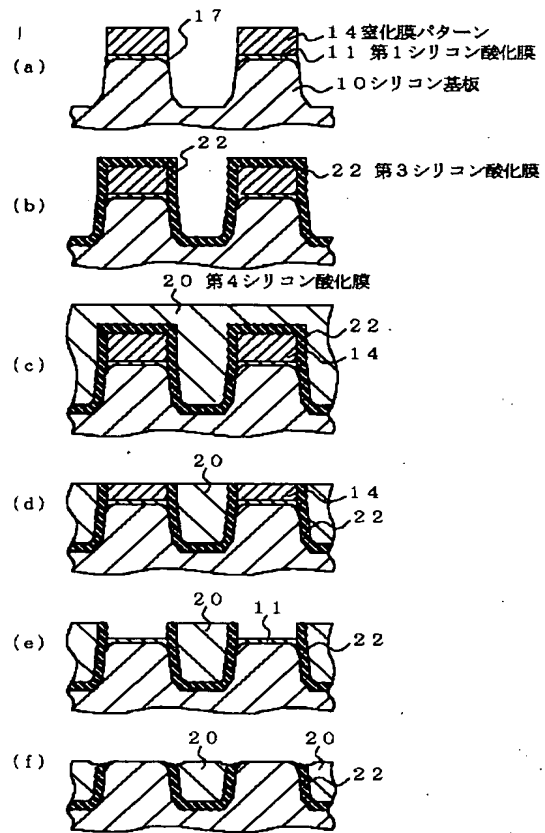
【図1】



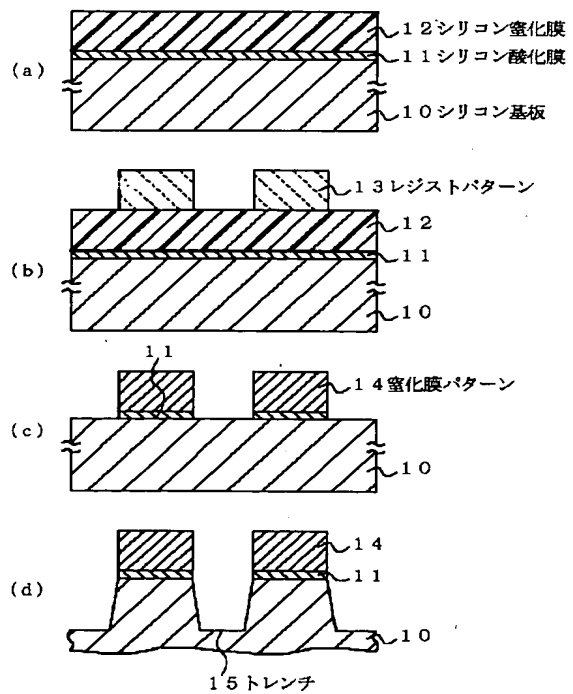
【図5】



【図2】



【図3】



【図4】

